

Fecha del CVA	26/03/2025
---------------	------------

A.1. Información personal

Nombre y Apellidos	María Asunción Pérez Pascual
--------------------	------------------------------

A.2. Situación profesional actual

Puesto	Profesor/a Titular de Universidad		
Fecha inicio	2008		
Organismo / Institución	UNIVERSITAT POLITÈCNICA DE VALÈNCIA		
Departamento / Centro	E.P.S. de Gandía / D. Ingeniería Electrónica		
País		Teléfono	(0034) 96 387 70 00 - 43054
Palabras clave			

A.3. Situación profesional anterior

Periodo	Puesto / Institución / País
2012 - 2016	Subd.1º EPSG/ Jefe Estudios. / Universitat Politècnica de València
2007 - 2008	Profesor/a Titular Escuela Universitaria / Universitat Politècnica de València
2002 - 2007	Profesor/a Titular Escuela Universitaria / Universitat Politècnica de València
2000 - 2002	Profesor/a Titular Escuela Univ. -Inter, / Universitat Politècnica de València
1998 - 2000	Profesor/a Asociado/a (ASO-2) / Universitat Politècnica de València
1998 - 1998	Profesor/a Asociado/a (ASO-1) / Universitat Politècnica de València
1997 - 1997	Profesor/a Asociado/a (ASO-1) / Universitat Politècnica de València
2008 -	Profesor/a Titular de Universidad / Universitat Politècnica de València

A.4. Indicadores generales de calidad de la producción científica

Publication metrics (obtained from Web of Science) are 22 Web of Science documents, 140 times cited, h-index 7, 6.4 citations per document and 7.4 citations per year.

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

She received the telecommunication engineering and Ph.D. Telecommunication engineering degrees from the Universitat Politècnica de València, Spain, in 1997 and 2002, respectively. She has been an Associate Professor with the Department of Electronics, Universitat Politècnica de València since

2002. Her current research interests include the design of FPGA-based systems, computer arithmetic, VLSI signal processing, digital communications and fiber optic communications.

In 2016, she spent a research stay at Wireless Communication Research Laboratory at Southampton University, developing a new algorithm useful to predict the performance of error decoders.

Currently she has three six-year research terms.

During the last 10 years she has participated in 5 R&D projects, she has published 7 articles in scientific journals and presented 5 works at international conferences.

Parte C. MÉRITOS MÁS RELEVANTES

C.1. Publicaciones

AC: Autor de correspondencia; (nº x / nº y): posición firma solicitante / total autores. Si aplica, indique el número de citaciones

- 1 Artículo científico.** Canet Subiela, M^a José; Pérez Pascual, M^a Asunción; Atarés Huerta, Lorena María; Trujillo Guillen, Macarena. 2025. Helping First-Year University Students to Overcome the Threshold Concept of Ohm's Law. *IEEE Transactions on Education*. 68, pp.117-131. ISSN 0018-9359. DOI: 10.1109/TE.2024.3468002.
- 2 Artículo científico.** Atarés Huerta, Lorena María; Canet Subiela, M^a José; Pérez Pascual, M^a Asunción; Trujillo Guillen, Macarena. 2024. Undergraduate student thinking on the threshold concept of entropy. *Journal of Chemical Education*. 101, pp.1798-1809. ISSN 0021-9584. DOI: 10.1021/acs.jchemed.3c00381.
- 3 Artículo científico.** Valls Coquillat, Javier; Torres Carot, Vicente; Pérez Pascual, M^a Asunción; Almenar Terre, Vicenç. 2023. Hardware Architecture of a QAM Receiver for Short-Range Optical Communications. *Journal of Lightwave Technology*. 41, pp.451-461. ISSN 0733-8724. DOI: 10.1109/JLT.2022.3217357.
- 4 Artículo científico.** Trujillo Guillen, Macarena; Atarés Huerta, Lorena María; Canet Subiela, M^a José; Pérez Pascual, M^a Asunción. 2023. Learning Difficulties with the Concept of Function in Maths:A Literature Review. *Education Sciences*. 13, 495, pp.1-13. ISSN 2227-7102. DOI: 10.3390/educsci13050495.
- 5 Artículo científico.** Pérez Pascual, M^a Asunción; Giménez López, José Luis; Palacio Samitier, Daniel; Marín-Roig Ramón, José. 2023. O-City: Implementation of an Innovative Multimedia Platform for Promoting Orange Economy. *Journal on Computing and Cultural Heritage*. pp.1-19. ISSN 1556-4711. DOI: 10.1145/3631121.
- 6 Artículo científico.** Pérez Pascual, M^a Asunción; Bruno, Julián S.; Almenar Terre, Vicenç; Valls Coquillat, Javier. 2020. A Computational Efficient Nyquist Shaping Approach for Short-Reach Optical Communications. *Journal of Lightwave Technology (Online)*. 38, pp.1651-1658. ISSN 1558-2213. DOI: 10.1109/JLT.2019.2961506.
- 7 Artículo científico.** Pérez Pascual, M^a Asunción; Hamilton, Alex; Maunder, Robert G.; Hanzo, Lajos. 2018. Conceiving Extrinsic Information Transfer Charts for Stochastic Low-Density Parity-Check Decoders. *IEEE Access*. 6, pp.55741-55753. ISSN 2169-3536. DOI: 10.1109/ACCESS.2018.2872113.
- 8 Artículo científico.** Fabian Enrique; Sansaloni Balaguer, Trinidad M^a; Pérez Pascual, M^a Asunción; Valls Coquillat, Javier. 2012. Modified Shuffled Based Architecture for High Throughput Decoding of LDPC Codes. *Journal of Signal Processing Systems*. 68, pp.139-149. ISSN 1939-8018.
- 9 Artículo científico.** V.Torres; A.Perez-Pascual; T. sansaloni; J.Valls. 2009. Design and FPGA-implementation of a high performance timing recovery loop for broadband communications. *Journal of Signal Processing Systems*. 56, pp.17-23. ISSN 1939-8018.
- 10 Artículo científico.** A.Perez-Pascual; V.Torres; T. sansaloni; V.Almenar; J.Valls. 2009. Design of Power and Area Efficient Digital Down-converters for Broadband Communications Systems. *Journal of Signal Processing Systems*. 56, pp.35-40. ISSN 1939-8018.

- 11 **Artículo científico.** F. Angarita; M.J. Canet; T. Sansaloni; A. Perez-Pascual; J. Valls. 2008. Efficient mapping of CORDIC Algorithm for OFDM-based WLAN. Journal of Signal Processing Systems. 52, pp.181-191. ISSN 1939-8018.
- 12 **Artículo científico.** T. Sansaloni; A. Pérez-Pascual; V. Torres; V. Almenar; J. F. Toledo; J. Valls. 2007. FFT Spectrum Analyser Project for Teaching Digital Signal Processing with FPGA devices. IEEE Transactions on Education. 50, pp.229-235. ISSN 0018-9359.
- 13 **Artículo científico.** T. Sansaloni; A. Pérez-Pascual; V. Torres; J. Valls. 2007. Scheme for reducing the storage requirements of FFT twiddle factors on FPGAs. The Journal of VLSI Signal Processing Systems for Signal Image and Video Technology. 47, pp.183-187. ISSN 0922-5773.
- 14 **Artículo científico.** Javier Valls; Trini Sansaloni; Asun Pérez; Vicente Torres; Vicenç Almenar. 2006. The use of CORDIC in Software Defined Radios: A tutorial. IEEE Communications Magazine. 44, pp.46-50. ISSN 0163-6804.
- 15 **Artículo científico.** T. Sansaloni; A. Pérez-Pascual; V. Torres; J. Valls. 2005. Efficient pipeline FFT processor form MIMO-OFDM systems. Electronics Letters. 41, pp.1043-1043. ISSN 0013-5194.
- 16 **Artículo científico.** T. Sansaloni; A. Perez-Pascual; J. Valls. 2003. Area-efficient FPGA-based FFT processor. Electronics Letters. 39, pp.1369-1370. ISSN 0013-5194.
- 17 **Capítulo de libro.** J.Marin-Roig; V.Torres; MJ.Canet; et al; J. Valls. 2003. DIGIMOD: a tool to implement FPGA-based Digital IF and base-band modems. Lectures Notes in Computer Science. Springer. 101, pp.988-991. ISBN 3-540-40822-3.
- 18 **Capítulo de libro.** Trini Sansaloni; Asun Pérez-Pascual; Javier Valls. 2001. Digit-serial distributed arithmetic butterflies for FPGA. Advances in Signal Processing, Robotics and Communications. WSES Press. 40, pp.226-231. ISBN 960-8052-42-4.
- 19 **Capítulo de libro.** Asun Pérez-Pascual; Trini Sansaloni; Javier Valls. 2001. On-line radix-2 butterflies on FPGA. Advances in Signal Processing, Robotics and Communications. WSES Press. 41, pp.232-236. ISBN 960-8052-42-4.

C.2. Congresos

- 1 Pérez Pascual, M^a Asunción; Canet Subiela, M^a José. Diseño de un tutor virtual socrático para favorecer la comprensión profunda de conceptos umbrales en ingeniería. Congreso REDU Docencia 2023. Investigar la docencia: enseñar y aprender en las disciplinas como objeto de estudio. 21/11/2023.
- 2 Heras, A.; Sanchez-Anguix, Víctor; Alberola Oltra, Juan Miguel; Pérez Pascual, M^a Asunción. A board game-based virtual environment for intelligent bots programming,. 17th International Technology, Education and Development Conference (INTED2023). 08/03/2023.
- 3 Pérez Pascual, M^a Asunción; Alberola Oltra, Juan Miguel; Marín-Roig Ramón, José; et al; Palanca Cámara, Javier. How to measure student's performance in PBL?. 17th International Technology, Education and Development Conference (INTED2023). 08/03/2023.
- 4 Pérez Pascual, M^a Asunción; Toledo Alarcón, José Francisco; Marín-Roig Ramón, José; Azulay, Elías. Hardware Project Development using Scrum in the Interactive Technologies Degree. XV Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (TAEE 2022). 01/07/2022.
- 5 Santandreu Mascarell, Cristina; Pérez Pascual, M^a Asunción; Marín-Roig Ramón, José; Morant-Martínez, Oscar. Proyecto O-CITY (Orange: Creativity, Innovation & Technology): medio innovador de la economía Naranja/Creativa. XXXIII Congreso Anual de la Academia Europea de Dirección y Economía de la Empresa (AEDEM 2019). 07/06/2019.
- 6 Lacruz-Jucht, Jesus Omar; García Herrero, Francisco Miguel; Canet Subiela, M^a José; Valls Coquillat, Javier; Pérez Pascual, M^a Asunción. A 630 Mbps non-binary decoder for FPGA. IEEE International Symposium on Circuits and Systems (ISCAS 2015). 27/05/2015.
- 7 Torres Carot, Vicente; Pérez Pascual, M^a Asunción; Sansaloni Balaguer, Trinidad M^a; Valls Coquillat, Javier. Fully-parallel LUT-based (2048,1723) LDPC Code Decoder for FPGA. 19th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2012). 12/12/2012.

- 8 Fabian Enrique; Torres Carot, Vicente; Pérez Pascual, M^a Asunción; Valls Coquillat, Javier. High-Throughput FPGA-based Emulator for Structured LDPC Codes. 19th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2012). 12/12/2012.
- 9 Fabian Enrique Angarita Preciado; Pérez Pascual, M^a Asunción; Sansaloni Balaguer, Trinidad M^a; Valls Coquillat, Javier. Acelerador hardware de simulaciones de códigos LDPC basado en FPGAs. XII Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2012). 21/09/2012.
- 10 A.Perez-Pascual; V.Torres; J.Valls. Generador configurable de modulaciones de banda ancha. X Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2010). 07/09/2010.
- 11 MILLET, J.; PEREZ, M.; MOCHOLI, A.; CALPE, J.; FERRERO, J.. ALGORITMOS DE DETECCIÓN DE QRS. ESTUDIO COMPARATIVO. XXVII Congreso Anual de la Sociedad Española de Ingeniería Biomédica (CASEIB 2009). 18/11/2009.
- 12 A.Perez-Pascual; J.Valls. Implementación de un Multiplicador de constantes Múltiples Multiplexadas en el Tiempo basado en aritmética carry-save para FPGAs. IX Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2009). 09/09/2009.
- 13 J.Valls; A.Perez-Pascual. FPGA-implementation of time-multiplexed multiple constant multiplication based on carry-save arithmetic. 19th IEEE International Conference on Field Programmable Logic and Applications (FPL 2009). 31/08/2009.
- 14 A. Pérez-Pascual; A. Tarazona; T.M. Sansaloni; M.J. Canet. Filtro adaptativo de compensación del desbalanceo I/Q implementado en FPGA. XXIII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2008). 22/09/2008.
- 15 A. Tarazona; A. Pérez; V. Almenar; J. Valls. Sincronización de fase y frecuencia de la portadora para 32-APSK en FPGA. VIII Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2008). 18/09/2008.
- 16 A. Pérez-Pascual; T. Sansaloni; V. Torres; V. Almenar; J. Valls. Diseño de un conversor IF a banda base de bajo consumo para señales de banda ancha. VII Jornadas sobre Computación Reconfigurable y aplicaciones (JCRA 2007). 12/09/2007.
- 17 A. Pérez; T. Sansaloni; V. Torres; V. Almenar; J. Valls. Design of an efficient digital down-converter for a SDR-based DVB-S receiver. European Conference on Circuit Theory and Design (ECCTD 2007). 26/08/2007.
- 18 V. Torres; T. Sansaloni; A. Perez-Pascual; J. Valls. Design of high performance timing recovery loops for communication applications. IEEE Workshop on Signal Processing Systems (SiPS 2006). 15/09/2006.
- 19 Trini Sansaloni; Asun Pérez-Pascual; Vicente Torres; Javier Valls. Curso de procesamiento digital de la señal en FPGAs basado en un proyecto. VII Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE). 12/07/2006.
- 20 F. Angarita; A. Pérez-Pascual; T. Sansaloni; J. Valls. FPGA-based design of a Viterbi decoder for WLAN. IEEE Workshop on Signal Processing Systems (SiPS 2005). 01/11/2005.
- 21 T. Sansaloni; A. Pérez-Pascual; V. Torres; J. Valls. DISEÑO DE UN ANALIZADOR DE ESPECTROS EN FPGA. XX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2005). 14/09/2005.
- 22 V. Torres; A. Pérez-Pascual; J. Valls; V. Almenar. DISEÑO DE UN MODEM QPSK SOFTWARE RADIO. XX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2005). 14/09/2005.
- 23 A. Pérez-Pascual; T. Sansaloni; S. Flores. RECEPTOR DE FM BASADO EN SOFTWARE RADIO. XX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2005). 14/09/2005.
- 24 F. Angarita; A. Pérez-Pascual; T. Sansaloni; J. Valls. Implementación eficiente en FPGA del algoritmo CORDIC para coordenadas circulares y lineales. V Jornadas Sobre Computación Reconfigurable Y Aplicaciones (JCRA 2005). 12/09/2005.
- 25 F. Angarita; A. Pérez-Pascual; T. Sansaloni; J. Valls. Efficient FPGA implementation of CORDIC algorithm for circular and linear coordinates. 2005 IEEE International Conference on Field Programmable Logic and Applications (FPL 2005). 24/08/2005.
- 26 Angarita FE; Sansaloni T; Perez-Pascual A. FFT de 64 puntos para redes de datos inalámbricas basadas en OFDM. IV Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2004). 13/09/2004.

- 27 A. Perez; T.M. Sansaloni. Librería de sensores para simulación con Pspice. VI Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2004). 16/07/2004.
- 28 F. Cardells-Tormo; A. Perez-Pascual; V. Torres; J. Valls; V. Almenar. Design of a DVB-S receiver in FPGA. IEEE Workshop on Signal Processing Systems (SiPS 2003). 17/12/2003.
- 29 J. Marin-Roig; V. Torres; M. Canet; et al; V. Almenar. DIGIMOD: a tool to implement FPGA-based digital front-end for software radios. 2003 Software Defined Radio Technical Conference and Product Exposition (SDR03). 18/11/2003.
- 30 J. Marin-Roig; V.Torres; M.J.Canet; et al; J.Valls. DIGIMOD: una herramienta para implementar modems en banda base e IF. III Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2003). 10/09/2003.
- 31 Perz-Pascual A.; Sansaloni T.; Valls J.. FPGA Based Radix-4 Butterflies for HIPERLAN/2. IEEE International Symposium on Circuits and Systems (ISCAS 2000). 06/10/2002.
- 32 T.Sansaloni; V- Llario; J. Valls; J. Marin-Roig; A. Perez-Pascual. Módulo auxiliar para el laboratorio básico. V Congreso de Tecnologías Aplicadas a la Enseñanza de la Electrónica (TAEE 2002). 13/02/2002.
- 33 T. Sansaloni; A. Perez-Pascual; J. Valls. Butterflies con aritmética distribuida en FPGAs. I Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA 2001). 19/09/2001.
- 34 T. Sansaloni; A. Pérez-Pascual; J. Valls. Distributed Arithmetic Radix-2 Butterflies for FPGA. 8th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2001). 02/09/2001.
- 35 A. Pérez-Pascual; T. Sansaloni; J. Valls. FPGA based On-line Complex-number Multipliers. 8th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2001). 02/09/2001.
- 36 T. Sansaloni; A. Pérez-Pascual; J. Valls. Digit-Serial Distributed Arithmetic Butterflies for FPGA. WSES International Conference on Speech, Signal and Image Processing (SSIP 2001). 01/09/2001.
- 37 A. Pérez-Pascual; T. Sansaloni; J. Valls. On-line Radix-2 Butterflies on FPGA. WSES International Conference on Speech, Signal and Image Processing (SSIP 2001). 01/09/2001.
- 38 Asun Perez-Pascual; J.Valls. Radix-4 On-Line Complex-Number Multiplier. 2000 IASTED International Conference on Signal Processing and Communications. 19/09/2000.
- 39 M. Asun Pérez Pascual. Espectrómetro óptico. IV Congreso de Tecnologías aplicadas a la enseñanza de la electrónica (TAEE 2000). 13/09/2000.
- 40 M. Martinez; J. Valls; T. Sansaloni; A. Perez; E. Boemo. A COMPARISON BETWEEN LATTICE, CASCADE AND DIRECT-FORM FIR FILTER STRUCTURES BY USING FPGA BIT-SERIAL DISTRIBUTED ARITHMETIC IMPLEMENTATION. 6th IEEE International Conference on Electronics, Circuits and Systems (ICECS 1999). 05/09/1999.
- 41 A.P. Pascual; J. Valls; M.M. Peiro. Efficient Complex Number Multiplier Mapped on FPGA. 6th IEEE International Conference on Electronics, Circuits and Systems (ICECS 1999). 05/09/1999.
- 42 J.L. López; MOCHOLI, A.; J. Millet; M.A. Perez; S. Ruiz. BASES TEÓRICAS PARA UTILIZACIÓN DE LOS WAVELET PACKETS EN LA COMPRESIÓN DE SEÑALES DE ECG. XV Congreso Anual de la Sociedad Española de Ingeniería Biomédica (CASEIB '97). 30/10/1997.
- 43 MILLET, J.; LÓPEZ, J.; RUIZ, R.; GARCÍA, R.; PEREZ, M.. DIFFERENTIATION OF SUPRAVENTRICULAR AND VENTRICULAR ARRHYTHMIAS BASED ON MORPHOLOGICAL ANALYSIS OF ICD STORED ELECTROGRAMS. XXIV Computers in Cardiology Conference (CinC). 30/10/1997.
- 44 MOCHOLI, A.; LOPEZ, J.; MILLET, J.; PEREZ, M.; ARMADA, J.. IMPLEMENTACIÓN DE UN ALGORITMO DE COMPRESIÓN DE SEÑALES DE ECG BASADO EN LA UTILIZACIÓN DE WAVELETS PACKETS. XV Congreso Anual de la Sociedad Española de Ingeniería Biomédica (CASEIB '97). 30/10/1997.
- 45 MOCHOLI, A.; LOPEZ, J.; MILLET, J.; PEREZ, M.; LOPEZ, J.. IMPLEMENTACIÓN DE UN SISTEMA DE COMPRESIÓN DE SEÑALES DE ECG BASADO EN WAVELETS PACKET SOBRE EL DSP TMS320C26. XV Congreso Anual de la Sociedad Española de Ingeniería Biomédica (CASEIB '97). 30/10/1997.

- 46 MILLET, J.; MOCHOLI, A.; PEREZ, M.; JOSEPH, G.; CHORRO, F.. PREVIOUS CALCULUS OF QRS ONSET & OFFSET IS NOT ESSENTIAL FOR CLASSIFYNG QRS COMPLEX IN A SINGLE LEAD. XXIV Computers in Cardiology Conference (CinC). 30/10/1997.

C.3. Proyectos y Contratos

- 1 **Proyecto.** TECNOLOGÍAS ÓPTICAS SOSTENIBLES PARA COMUNICACIONES DE ACCESO CON ONDAS MILIMÉTRICAS Y LUZ VISIBLE EN REDES 6G (PID2021-126514OB-I00). AGENCIA ESTATAL DE INVESTIGACION. Vicenç Almenar Terre. (Universitat Politècnica de València). Desde 01/09/2022. 214.412 €.
- 2 **Proyecto.** PUNTOS DE ATENCIÓN SANITARIA A DISTANCIA EN ENTORNOS RURALES Y REMOTOS (DISTANCE POINT-OF-CARE ATTENTION IN RURAL ENVIRONMENTS) (AP2021_19). UNIVERSIDAD POLITECNICA DE VALENCIA. Juan Miguel Alberola Oltra. (Universitat Politècnica de València). Desde 01/01/2022. 4.500 €.
- 3 **Proyecto.** ORANGE CITY: CREATIVITY, INNOVATION & TECHNOLOGY / O-CITY (2018 - 2554 / 001 - 001). COMISION DE LAS COMUNIDADES EUROPEA. José Marín-Roig Ramón. (Universitat Politècnica de València). Desde 01/01/2019. 158.606,66 €.
- 4 **Proyecto.** ESPECIFICACION, IMPLEMENTACION Y EVALUACION DE SOLUCIONES DE SINCRONIZACION MULTIMEDIA QUE POSIBILITEN EXPERIENCIAS INTERACTIVAS E INMERSIVAS EN EL CONTEXTO DE LA TV HIBRIDA Y MULTIDISPOSITIVO, INCLUYENDO CONTENIDOS OMNIDIRECCIONALES Y MULTI-SENSORIA (AICO/2017/059). GENERALITAT VALENCIANA. Fernando Boronat Seguí. (Universitat Politècnica de València). Desde 01/12/2017. 40.000 €.
- 5 **Proyecto.** TRATAMIENTO DIGITAL DE LA SEÑAL Y CORRECCION DE ERRORES EN TRANSMISION OPTICA MEDIANTE FIBRA MULTI-NUCLEO PARA REDES OPTICAS DE ACCESO Y DE TRANSPORTE CELULAR (TEC2015-70858-C2-2-R). MINISTERIO DE ASUNTOS ECONOMICOS Y TRANSFORMACION DIGITAL. Vicenç Almenar Terre. (Universitat Politècnica de València). Desde 01/01/2016. 190.817 €.
- 6 **Proyecto.** DISEÑO DE ALGORITMOS Y ARQUITECTURAS HARDWARE PARA LA DECODIFICACION DE CODIGOS LDPC NO BINARIOS. (GV/2014/011). GENERALITAT VALENCIANA. M^a José Canet Subiela. (Universitat Politècnica de València). Desde 01/01/2014. 11.500 €.
- 7 **Proyecto.** ALGORITMOS Y ARQUITECTURAS DE FEC PARA FUTUROS SISTEMAS DE COMUNICACIONES (TEC2011-27916). MINISTERIO DE ASUNTOS ECONOMICOS Y TRANSFORMACION DIGITAL. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 01/01/2012. 147.862 €.
- 8 **Proyecto.** TELEGRAFIES- ROMPIENDO BARRERAS (FCT-11-2024). FUNDACION ESPAÑOLA PARA LA CIENCIA Y LA TECNOLOGIA. José Ismael Pastor Gimeno. (Universitat Politècnica de València). Desde 01/09/2011. 23.255,43 €.
- 9 **Proyecto.** ARQUITECTURAS DE FEC PARA SISTEMAS DE COMUNICACIONES DE MUY ALTA VELOCIDAD (TEC2008-06787). MINISTERIO DE EDUCACION. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 01/01/2009. 129.833 €.
- 10 **Proyecto.** ALCE: ALGORITMOS AVANZADOS DE CORRECCION DE ERROR (TSI-020100-2008-141). MINISTERIO DE INDUSTRIA, COMERCIO Y TURISMO. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 01/07/2008. 45.030 €.
- 11 **Proyecto.** AYUDA UPV PROYECTO INTERDISCIPLINAR: IMPLEMENTACION EN FPGA DE ALGORITMOS PARA SISTEMAS DE COMUNICACIONES DE BANDA ANCHA (PAID-05-07-6218). UNIVERSIDAD POLITECNICA DE VALENCIA. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 29/01/2008. 8.960 €.
- 12 **Proyecto.** GENERACION-DETECCION EN BANDA BASE DE SEÑALES QAM ULTRA ANCHAS. (PAID-06-07-002-303). UNIVERSIDAD POLITECNICA DE VALENCIA. M^a Asunción Pérez Pascual. (Universitat Politècnica de València). Desde 04/12/2007. 10.600 €.

- 13 Proyecto.** IMPLEMENTACION SOFTWARE RADIO DE SISTEMAS DE COMUNICACIONES DE BANDA ANCHA. SUBP: IMPLEMENTACION EN FPGA DE ALGORITMOS PARA SISTEMAS DE COMUNICACIONES INALAMBRICAS DE BANDA ANCHA. (PAID-05-06-002-1021). UNIVERSIDAD POLITECNICA DE VALENCIA. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 21/12/2006. 5.500 €.
- 14 Proyecto.** IMPLEMENTACION SOFTWARE RADIO DE SISTEMAS DE COMUNICACIONES DE BANDA ANCHA. SUBP: IMPLEMENTACION EN FPGA DE ALGORITMOS PARA SISTEMAS DE COMUNICACIONES INALAMBRICAS DE BANDA ANCHA. (PAID-05-06-002-1021). UNIVERSIDAD POLITECNICA DE VALENCIA. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 21/12/2006. 5.500 €.
- 15 Proyecto.** HARDWARE RECONFIGURABLE EN SISTEMAS DE COMUNICACIONES DE BANDA ANCHA (GV06/114). GENERALITAT VALENCIANA. Trinidad M^a Sansaloni Balaguer. (Universitat Politècnica de València). Desde 01/01/2006. 27.260 €.
- 16 Proyecto.** IMPLEMENTACION EN FPGA DE ALGORITMOS PARA SISTEMAS DE COMUNICACIONES INALAMBRICAS DE BANDA ANCHA. (TEC2005-08406-C03-01). MINISTERIO DE EDUCACION. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 31/12/2005. 56.764,2 €.
- 17 Proyecto.** DISEÑO DE CORES-IP PARA REDES DE COMUNICACIONES INALAMBRICAS BASADAS EN OFDM. OPTIMIZACION EN AREA EN LA ESTACION BASE (TIC2001-2688-C03-02). MINISTERIO DE CIENCIA Y TECNOLOGIA. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 28/12/2001. 85.566,09 €.
- 18 Proyecto.** DISEÑO EFICIENTE DE DIRCUIOS PARA TELECOMUNICACIONES EN FPGA (GV00-093-14). GENERALITAT VALENCIANA. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 15/12/2000. 11.419,23 €.
- 19 Proyecto.** DISEÑO E IMPLEMENTACION SOBRE FPGA DE LA CAPA FISICA DE UN RECEPTOR PARA EL ESTANDAR DE REDES DE DATOS INALAMBRICAS HIPERLAN 2 (05-000834). UNIVERSIDAD POLITECNICA DE VALENCIA. Vicenç Almenar Terre. (Universitat Politècnica de València). Desde 27/10/2000. 15.025,3 €.
- 20 Proyecto.** DISEÑO DE PROCESADORES DIGITALES DE SEÑAL A MEDIDA PARA APLICACIONES EN TIEMPO REAL (PPI-6-99 1669). UNIVERSIDAD POLITECNICA DE VALENCIA. Javier Valls Coquillat. (Universitat Politècnica de València). Desde 01/12/1999. 10.217,21 €.
- 21 Proyecto.** PROCESADORES DIGITALES DE SEÑAL A MEDIDA (PPI-6-99 1669). UNIVERSIDAD POLITECNICA DE VALENCIA - VICERRECTORADO DE I+D. Javier Valls Coquillat. Desde 01/12/1999. 10.217 €.
- 22 Contrato.** DESARROLLO DE TECNOLOGIAS ELECTRONICAS TECNATOM, S.A.. (Universitat Politècnica de València). 29/11/2010-27/02/2014. 62.900 €.
- 23 Contrato.** ALGORITMOS DE SINCRONIZACION PARA MODEM DS-SS (IEB/2010/035) INDRA ESPACIO, S.A.. (Universitat Politècnica de València). 02/07/2010-02/06/2011. 15.500 €.
- 24 Contrato.** DISEÑO DETALLADO E IMPLEMENTACION EN FPGA DE UN MODEM DE ALTA VELOCIDAD (IEB/2007/036) INDRA ESPACIO, S.A.. (Universitat Politècnica de València). 03/09/2007-03/06/2008. 66.000 €.
- 25 Contrato.** DISEÑO DETALLADO E IMPLEMENTACION EN FPGA DE FUNCIONES DEL MODEM SS IOT (PEDIDO: 47600810) INDRA ESPACIO, S.A.. (Universitat Politècnica de València). 30/09/2006-30/06/2007. 24.690,5 €.

C.5. Estancias en centros de I+D+i públicos o privados

Laboratorio de Comunicaciones Inalámbricas. Reino Unido. Southampton. Desde 01/09/2016. 4 meses.