

CURRICULUM VITAE ABREVIADO (CVA)

First name	Marta		
Family name	Portela Garcia		
Open Researcher and Contributor ID (ORCID) (*)	0000-0002-4103-0519		

Puesto actual

Puesto	Profesor Titular de Universidad		
Fecha inicial	6/11/2018		
Institución	Universidad Carlos III de Madrid		
Departamento/Centro	Tecnología Electrónica	Escuela Politécnica Superior	
País	España		
Palabras clave	Seguridad hardware, sistemas embebidos, tolerancia a fallos, circuitos digitales de altas prestaciones, circuitos criptográficos, inyección de fallos		

Puestos previos

Periodo	Posición/Institución/País
01/09/2020 – 31/12/2023	Lider de soluciones criptográficas post-cuánticas / Arquimea Research Center/ España / (excedencia temporal con la Ley de la Ciencia)
06/11/2018 – 31/08/2020	Profesor Titular de Universidad/ Universidad Carlos III de Madrid/ España
01/04/2012 – 05/11/2018	Profesor visitante / Universidad Carlos III de Madrid/ España
22/09/2008 – 31/03/2012	Ayudante doctor / Universidad Carlos III de Madrid/ España
01/04/2004 – 21/09/2008	Ayudante / Universidad Carlos III de Madrid/ España

Formación

PhD, Licenciatura, Grado	Universidad	Año
Doctorado en Ingeniería Electrónica	Universidad Carlos III de Madrid	2007
Ingeniería Electrónica	Universidad Complutense de Madrid	2002

Resumen

Marta Portela se licenció en Ingeniería Electrónica por la Universidad Complutense de Madrid en 2002 y se doctoró por la Universidad Carlos III de Madrid (UC3M) en 2007 con mención europea. Desde 2003 desarrolla su actividad investigadora y docente en el Departamento de Tecnología Electrónica de la UC3M, donde actualmente trabaja como Profesora Titular de Universidad. Es miembro del grupo de investigación de Diseño Microelectrónica y Aplicaciones. Sus intereses de investigación abarcan diversos temas, todos ellos basados en su conocimiento y experiencia en diseño digital VLSI de altas prestaciones, sistemas embebidos y robustez de circuitos por diseño.

Desde septiembre de 2020 hasta finales de 2023, tomó una excedencia temporal de su puesto como profesora, de acuerdo con la Ley de la Ciencia española, para trabajar en Arquimea Research Center (ARC), un centro de investigación privado perteneciente al grupo ARQUIMEA. Trabajó como Lider del Equipo de Electrónica y lanzó y lideró una línea de investigación centrada en circuitos Criptográficos Post-Cuánticos (PQC). Esta actividad fue apoyada por proyectos con financiación privada, aprobados como proyectos de I+D por la Entidad Nacional de Acreditación (ENAC), con un presupuesto de 2 M€ durante 3 años. Tiene varias patentes en trámite y artículos en revisión. Además, participó en la propuesta de convocatoria del Proyecto Europeo (A-IQ Ready), que finalmente fue financiado dentro de la Chips Joint Undertaking (Chips JU). En este proyecto, la actividad investigadora de ARC se centró en el sensado cuántico.



Antes de 2020, investigó principalmente sobre la fiabilidad de los circuitos digitales para aplicaciones espaciales y sobre nuevas soluciones para mejorar y evaluar dicha fiabilidad. Ha contribuido al análisis de los efectos de la radiación ionizante utilizando técnicas de inyección de fallos que aceleran el proceso en varios órdenes de magnitud con respecto a otras soluciones existentes. Participó en el diseño y desarrollo de circuitos digitales para la misión espacial EXOMARS20 y dirigió un proyecto competitivo con la Agencia Espacial Europea.

Ha propuesto soluciones para el análisis de la robustez de sistemas basados en microprocesadores, así como técnicas de detección y mitigación de fallos en este tipo de sistemas. Varias de las contribuciones han sido desarrolladas en colaboración con empresas aeroespaciales líderes como Thales Alenia Space, EADS Francia, Airbus Francia, ATMEL, ARQUIMEA, o instituciones como el INTA (Instituto Nacional de Técnicas Aeroespaciales) o el CNA (Centro Nacional de Aceleradores, Universidad de Sevilla) así como con otras universidades extranjeras (Pontificia Universidad Católica de Rio Grande do Sul (PUCRS) Brasil, y Politecnico di Torino, Italia) y españolas (Universidad de Sevilla, Universidad de Alicante).

Ha realizado estancias en centros de investigación de prestigio internacional. Durante su etapa predoctoral, realizó una estancia en el Politecnico di Torino (Italia) de 4 meses (2005), donde desarrolló nuevas soluciones de inyección de fallos para microprocesadores. Este tema fue el punto de partida de una colaboración con esta institución en materia de detección de errores online en microprocesador. En 2011, realizó una estancia posdoctoral en IMEC (Bélgica), en el grupo *Design Services Full Custom and Library*. Durante esta estancia, desarrolló un estudio sobre el impacto de los efectos de la radiación en componentes analógicos implementados con la biblioteca DARE, desarrollada en IMEC utilizando células robustas. Este trabajo dio lugar a varios documentos científicos sobre la sensibilidad de los sistemas de señal mixta a la radiación ionizante y la aceleración de la verificación para este tipo de diseños.

También investigó sobre soluciones embebidas para el reconocimiento de emociones, como parte de una solución para combatir la violencia de género. En relación con esta línea de investigación, es miembro del equipo multidisciplinar UC3M4Safety y participó en el proyecto regional de sinergias de investigación EMPATIA.

Los resultados de sus investigaciones están recogidos en más de 80 documentos científicos. Se han publicado un total de 23 artículos en revistas indexadas en JCR (13 corresponden a publicaciones indexadas en el primer cuartil) y 3 capítulos de libro con invitación. En relación con el impacto de su actividad científica, sus publicaciones tienen más de 1129 citas (Google Scholar, 22 de enero de 2024). Ha participado en 30 proyectos de investigación, 21 de ellos competitivos.

Méritos relevantes

Publicaciones

[J01] J. Señor, J. Portilla, **M. Portela-Garcia**, "Performance Analysis of Postquantum Cryptographic Schemes for Securing Large-Scale Wireless Sensor Networks", *IEEE Transactions on Industrial Informatics*, 2024. doi: 10.1109/TII.2024.3423315

[J02] Entrena L., Sanchez-Clemente A.J., Garcia-Astudillo L.A., **Portela-Garcia M.**, Garcia-Valderas M., Lindoso A., Sarmiento R., "Formal Verification of Fault-Tolerant Hardware Designs", **IEEE Access**, 11, pp. 116127 – 116140, 2023.

[J03] Barcenas A.R., Herrera R.P., Calero J.A.M., et al. (10/11), "Optimized Design and Implementation of Digital Lock-In for Planetary Exploration Sensors", **IEEE Sensors Journal**, 22 (23), pp. 23367 - 23379, 2022.

[J04] Miranda J.A., Canabal M.F., Gutiérrez-Martín L., Lanza-Gutierrez J.M., **Portela-García M.**, López-Ongil C. "Fear recognition for women using a reduced set of physiological signals", **Sensors**, 21 (5), art. no. 1587, pp. 1 - 31, 2021.

[J05] Martín-Ortega A., **Portela-García M.**, de Mingo J.R., Rodríguez S., Rivas J., López-Buedo S., López-Ongil C., "Early SEU sensitivity assessment for collaborative hardening



techniques: A case study of OPTOS processing architecture”, **Microelectronics Reliability**, 95, pp. 36 - 47, 2019

[J06] Alberto Martín-Ortega, Santiago Rodríguez, José R de Mingo, Sergio Ibarria, Joaquín Rivas, Sergio López-Buedo, Celia López-Ongil, **Marta Portela-García**, “Data Analysis and Results of the Radiation-Tolerant Collaborative Computer On-Board OPTOS CubeSat”, **International Journal of Aerospace Engineering**, Hindawi, Vol. 2019, Article ID 1425892, 11 pages, 2019.

[J07] Du B., Sonza Reorda M., Sterpone L., Parra L., **Portela-García M.**, Lindoso A., Entrena L., “Online Test of Control Flow Errors: A New Debug Interface-Based Approach”, **IEEE Transactions on Computers**, 65 (6), art. no. 7155525, pp. 1846 - 1855, 2016.

[J08] Fernandez-Alvarez A., **Portela-García M.**, Garcia-Valderas M., Lopez J., Sanz M., “HW/SW Co-Simulation System for Enhancing Hardware-in-the-Loop of Power Converter Digital Controllers”, **IEEE Journal of Emerging and Selected Topics in Power Electronics**, 5 (4), art. no. 8010264, pp. 1779 - 1786, 2017.

[J09] Arévalo-Garbayo M., **Portela-García M.**, García-Valderas M., López-Ongil C., Entrena L. “A method to assess the robustness of cryptographic circuits at the design stage”, **Microelectronics Journal**, 45 (10), pp. 1354 - 1360, 2014.

[J10] **M. Portela-García**, M. Grosso, M. Gallardo-Campos, M. Sonza Reorda, L. Entrena, M. Garcia-Valderas, C. Lopez-Ongil, "On the use of Embedded Debug Features for Permanent and Transient Fault Resilience in Microprocessors". **Microprocessors and Microsystems** (Elsevier). 36(5) 334-343, July 2012.

Proyectos de investigación

- [1] SEQUIOT22 “Diseño de arquitecturas para implementación de esquemas de criptografía post-cuántica en IoT”, working in Arquimea Research Center. Private funding 1,178,089.13 €, from 1/1/2022 until 31/12/2023. **Principal investigator**.
- [2] SEQUIRE20 “Estudio preliminar de criptografía post-cuántica en sistemas embebidos”, working in Arquimea Research Center. Private funding 140,800 €, from 1/1/2021 until 31/12/2021. **Principal investigator**.
- [3] A-IQ Ready “Artificial Intelligence Using Quantum Measured Information for Realtime Distributed Systems at the Edge”. Funded by KDT JU European Commission, 15,000,000.00 €. Principal Investigator: Cristina de Dios. From 1/5/2023 until 1/5/2028. Research team
- [4] Brainstorm “Heterodyne near infrared spectroscopy for human-machine interfaces”, working in Arquimea Research Center. Private funding 400,000.00 €. From 1/1/2021 until 31/12/2022. Principal Investigator: Cristina de Dios. Research team
- [5] EMPATIA “Protección integral de las víctimas de violencia de género mediante computación afectiva multimodal”. Funded by: COMUNIDAD DE MADRID. Consejería de Educación e Investigación. PI: Celia López Ongil. From 1/1/2019 until 31/12/2020. Research team
- [6] Verification of SEU mitigation techniques in 3rd/4th generation Flash FPGAs. Funded by European Space Agency, AO/1-8860/17/NL/LF, from 1/05/2018 until 1/2/2020, 70.000€. **Principal investigator**
- [7] MARS DS’18 (Ciencia y Tecnología para la Caracterización in-situ de la Atmósfera de Marte. Desarrollo del Instrumento Dust Sensor para la Misión EXOMARS18 de ESA/IKI. FASES A/B y C/D). Funded by Spanish Ministry of Economy and Competitiveness. 1/3/2016 until 1/3/2019. PI: Antonio Jesús de Castro González, Fernando López Martínez. 610,000€. Research team.
- [8] RENASER3 (Diseño y verificación de circuitos electrónicos a escala nanométrica para aplicaciones espaciales y terrestres en ambientes de radiación). ESP2015-68245-C4-1-P. Funded by Spanish Ministry of Economy and Competitiveness, 1/3/2016 until 1/3/2020. PI: M. García Valderas, L. Entrena. 107,800€. Research team.



- [9] PERIGEO (Plataformas Aéreas de Investigación y Ensayos Orbitales). (INNPRONTA 2011) - IPT-20111022. Funded by Spanish Ministry of Education and Science, Oct- 2011 until Dic-2014. IP: Luis Entrena.(Subproject). 210,303 €. Research team.

Transferencia de tecnología

- [1] Radiation Hardening of a Polyphase-FFT Demultiplexer. Financiado por THALES ALENIA SPACE FRANCE, 01/12/2014- 15/04/2015. **IP: Marta Portela García.** 30.000€.
- [2] Desarrollo de módulo para el manejo de memoria Flash desde FPGA, Financiado por SEPSA ELECTRONICA DE POTENCIA, S.L.U., 02/07/2012- 02/11/2012, **IP: Marta Portela García,** 4.500€.
- [3] Front-end readout ASIC technology. Study and development test vehicles for front-end readout ASICs. Financiado por: ARQUIMEA Ingeniería S. L. Sept-2010 a Sept.-2012. IP: Mario García Valderas. 31.779,66€
- [4] Adaptación de módulo critpográfico. Financiado por: CNI. MINISTERIO DE DEFENSA. Jun-2010 a Dic.-2010, IP: Luis Entrena. 9.482,76€
- [5] Adaptación de módulo critpográfico. Financiado por: CNI. MINISTERIO DE DEFENSA. Jun-2009 a Dic.-2009, IP: Luis Entrena. 12.500€
- [6] Desarrollo de una placa base FPGA. Financiado por: CNI. MINISTERIO DE DEFENSA. Jun-2008 a Dic.-2008, IP: Luis Entrena. 99.992,57€

September 2020 – December 2023

Arquimea Research Center (Santa Cruz de Tenerife, Spain) – excedencia temporal con la Ley de la Ciencia. Lider del equipo de electronica y de la linea de soluciones criptográficas post-cuánticas

Otros méritos

Revisora:

- Journal of Electronic Testing: Theory and Applications (Springer), 2010.
- IEEE Transactions on Industrial Informatics, 2012.
- IETE Technical Review (IETE), 2013.
- Revisora para la editorial Weley, 2014.
- IEEE International Symposium on Industrial Electronics (ISIE) 2007
- IEEE Latin-American Test Workshop (LATW) desde 2009
- Seminario Anual de Automática, Electrónica industrial e Instrumentación. (SAAEI), 2010
- Annual Conference of the IEEE Industrial Electronics Society (IECON), 2012.
- International Conference on Field Programmable Logic and Applications (FPL), 2014.

Miembro del comite de programa de los siguientes congresos

- Latin-American Test Workshop (LATW), 2011-2014
- Design, Automation and Test in Europe Conference, 2022