

CURRICULUM VITAE ABREVIADO (CVA)

| | |
|---------------|------------|
| Fecha del CVA | 06/02/2025 |
|---------------|------------|

Parte A. DATOS PERSONALES

| | |
|--------------------|-----------------------------|
| Nombre y apellidos | ANTONIO JOSE ACOSTA JIMENEZ |
|--------------------|-----------------------------|

A.1. Situación profesional actual

| | | | |
|-----------------------|--|--------------|------|
| Organismo | Universidad de Sevilla | | |
| Dpto./Centro | Electrónica y Electromagnetismo, Facultad de Física | | |
| Categoría profesional | Catedrático de Universidad | Fecha inicio | 2011 |
| Espec. cód. UNESCO | 3307-03, 2203-07 | | |
| Palabras clave | Diseño de ASICs digitales y de señal mixta de muy altas prestaciones; Potencia, temporización y ruido en tecnologías CMOS; aplicaciones integradas criptobiométricas, de control y de visión activa. Microelectrónica para seguridad, criptohardware seguro. | | |

A.3. Formación académica (título, institución, fecha)

| Licenciatura/Grado/Doctorado | Universidad | Año |
|--------------------------------|-------------|------|
| Licenciado: Física Electrónica | SEVILLA | 1989 |
| Doctor en Física | SEVILLA | 1995 |

Parte B. RESUMEN LIBRE DEL CURRÍCULUM**Indicadores generales de calidad de la producción científica**

- Sexenios: 5 de investigación (90-95,96-01,02-07,08-13,14-20), 1 de transferencia (11-16)
- Tesis dirigidas: 5
- Citas totales: 1893 (*Google Scholar*)
- Promedio citas/año en los últimos 5 años: 95 (*Google Scholar*)
- Publicaciones totales en el primer cuartil Q1: 13
- Índice h: 19 (*Google Scholar*)
- Otros indicadores: Índice i10: 37 (*Google Scholar*)

Actividades Docentes

Docencia en 1^{er} y 2^o ciclo desde 1990 y desde 1995, en 3^{er} ciclo, en los Programas de Doctorado de Microelectrónica y Ciencias y Tecnologías Físicas, Máster en Microelectrónica y de Formación de Profesorado, como coordinador de asignaturas y director de TFM (13).

Participante (7) e IP (4) de proyectos de innovación docente. Asistente, ponente (7) y revisor en Congresos Docentes (TAEE, IEEE Educon) e impartición de cursos de Extensión Universitaria.

Puesta en marcha (secretario de la COA, redactor de la Memoria de Verificación) del Máster en Microelectrónica, título pionero de docencia on-line en la Univ. de Sevilla, del que ha sido coordinador en 2011-16.

Premios a la excelencia docente (93/94 y 05/06), con 6 quinquenios docentes reconocidos.

Actividades Científicas

Adscrito al Instituto de Microelectrónica de Sevilla, dirige el grupo TIC-180 del Plan Andaluz de Investigación "Diseño de Circuitos Integrados Digitales y Mixtos", ha dirigido (7) y participado (25) en Proyectos de Investigación financiados en el área de Microelectrónica, con aplicaciones a criptografía, comunicaciones, control, visión artificial, etc, centrados en el diseño, integración y test de ASICs y sistemas de señal mixta de altas prestaciones. Colabora habitualmente con equipos de investigación nacionales e internacionales.

Es coautor de 2 libros, 2 capítulos de libros y 34 artículos en revistas indexadas de gran calidad en su área (TCAS, JSSC, TCOM, TNN, IJCTA, EL, etc).

Tiene 125 publicaciones en congresos internacionales muy prestigiosos en el Area (DATE, ESSCIRC, ISCAS, PATMOS, ECCTD, ICECS, etc), a los que asiste habitualmente como ponente o sesión chair (algunos presentan razones de aceptación inferiores al 25%).

Ha dirigido (2) y participado (9) contratos con la industria. Tiene una patente con extensión PCT y otras dos nacionales, una de ellas en explotación. Ha dirigido 5 tesis doctorales y 42 trabajos de investigación.

Ha pertenecido a los Comités Editoriales de: Integration, the VLSI Journal (Elsevier), Int. J. of Circuit Theory and Applications (Wiley), J. of Low Power Electronics (ASPBs) e IEEE Trans. on Circuits and Systems-II.

Ha co-editado el número especial "Secure lightweight criptohardware" en la revista Int. J. of Circuit Theory and Applications (Wiley), Febrero 2017.

Ha participado en la organización de PATMOS02 (General Chair), DCIS07, ECCTD07, ETS09, ESSCIRC10, Track Chair de ICECS08,10, ECCTD07,13. Ha sido panelista en DTIS07, SEEIC19 y conferenciante invitado a ESSA14. Es miembro del Comité de Programa de DATE, FTFC, GLSVLSI, PECCS. Ha organizado sesiones especiales en ECCTD07 e ICM10. Es revisor de conferencias ((DATE, ECCTD, ISCAS, ICECS, TAAE, EDUCON, FTFC, GLSVLSI, DCIS, PATMOS) y revistas internacionales IEEE (TCAS-I, TVLSI, JSSC, TCOMP, TSM), EL, JOLPE, Sensors, IJCTA, (más de 600 revisiones).

Actividades de Gestión

Secretario (4/2009-6/2012) y Director (6/2012-3/2016) del Depto. de Electrónica y Electromagnetismo de la U. de Sevilla.

Vicedecano de Ordenación Académica, Fac. de Física - Univ. de Sevilla (3/2016-5/2017).

Decano de la Fac. de Física - Univ. de Sevilla (5/2017-sigue).

Coordinador de la Conf. de Decanos y Directores de Centro de la U. de Sevilla (5/21-5/23).

Coordinador de la Conf. de Decanos de Física de España (2/24-sigue).

Claustal Electo Univ. de Sevilla (1/18-sigue) y Miembro Electo de su Mesa (1/18-12/19).

Adjunto de la subárea "Electrónica" del área TEC de la ANEP, en 2009-13, gestionando evaluaciones de expertos en convocatorias nacionales y autonómicas. Representante en las comisiones evaluadoras del Plan Nacional en el Área TEC y en las Comisiones de Contratos Ramón y Cajal y Juan de la Cierva.

Miembro del Panel de Expertos 2015 del Plan Nacional en el Área TEC, Retos y Excelencia.

Miembro del Panel Evaluador 2011 del Plan Estratégico del INTA.

Representante de Decanos en la Comisión de Investigación de la U. de Sevilla (5/19-5/21)

Evaluador de la Agencia de Certificación ACIE desde 2023.

Pertenece al Steering Committee de PATMOS desde 2002.

Jurado evaluador de Becas para postgraduados Fundación La Caixa, 2022, 2024 y 2025.

Coordinador de la Cátedra PERTE-CHIP USECHIP, Univ. Sevilla (1/4/24-sigue).

Actividades de Divulgación

IP de 3 proyectos de divulgación científica financiados, participando en conferencias en distintos foros, Noche de los Investigadores, etc. Ha escrito el libro de divulgación "La Nanotecnología", de la serie "Un Paseo por el Cosmos" (RBA Editores, 2016).

Parte C. MÉRITOS MÁS RELEVANTES

C.1. Publicaciones en Revista (últimos 5 años)

1. Potestad, F.E.; Tena, E.; Acosta, A.J.; Jiménez, C.J.; Chaves, R., "Design and evaluation of countermeasures against fault injection attacks and power side-channel leakage exploration for AES block cipher", IEEE Access 10, 65548-65561, 2022.
2. Potestad, F.E.; Tena, E.; Acosta, A.J.; Jiménez, C.J.; Chaves, R., "Hardware Countermeasures Benchmarking against Fault Attacks", Applied Sciences 12 (5), 2443, 2022.

3. Tena, E.; Potestad F.E.; Jiménez, C.J.; Acosta, A.J.; Chaves, R., "Gate-level hardware countermeasure comparison against power analysis attacks", *Applied Sciences* 12 (5), 2390, 2022.
4. Delgado, I.; Tena, E.; Núñez, J.; Acosta, A.J., "Gate-Level Design Methodology for Side-Channel Resistant Logic Styles Using TFETs", *IEEE Embedded Systems Letters* 32 (2), 2022.
5. Delgado, I.; Tena, E.; Núñez, J.; Acosta, A.J., "Design and analysis of secure emerging crypto-hardware using HyperFET devices", *IEEE Transactions on Emerging Topics in Computing*, 9-2, 787-792, 2021.
6. Delgado, I.; Tena, E.; Núñez, J.; Acosta, A.J., "Projection of Dual-Rail DPA Countermeasures in Future FinFET and Emerging TFET Technologies", *ACM Journal on Emerging Technologies in Computing Systems*, 16-3, 1-16, 2020.
7. Tena, E.; Acosta, A.J., "Logic minimization and wide fan-in issues in DPL-based cryptocircuits against power analysis attacks". *Int. J. Circuit Theory & Appls.* 47-2, 238-253, 2019.

C.2 Congresos (últimos 5 años) y Conferencias Invitadas

1. L.F. Rojas, S. Sánchez, M.C. Martínez, E. Camacho, P. Navarro, A. Karmakar, C. Fernández, E. Tena, F.E Potestad, A. Casado, P. Ortega, A.J Acosta, C.J Jiménez (2024). "Cryptographic Security Through a Hardware Root of Trust". In *Applied Reconfigurable Computing. Architectures, Tools, and Applications. ARC 2024. Lecture Notes in Computer Science*, vol 14553. Springer, Cham. https://doi.org/10.1007/978-3-031-55673-9_8
2. V. Zúñiga, E. Tena and A. J. Acosta, "A Security Comparison between AES-128 and AES-256 FPGA implementations against DPA attacks," 2023 38th Conference on Design of Circuits and Integrated Systems (DCIS), Málaga, Spain, 2023, pp. 1-6, doi: 10.1109/DCIS58620.2023.10336003
3. E. Tena, A. Casado, V. Zúñiga, F.E. Potestad, y A.J. Acosta (2022). Automated experimental setup for EM cartography to enhance EM attacks. En 37th edition of the Conference on Design of Circuits and Integrated Systems (DCIS 2022), Navarra.
4. F. E. Potestad, E. Tena, R. Chaves, M. Valencia, A.J. Acosta, and C. J. Jiménez, "Hamming-Code Based Fault Detection Design Methodology for Block Ciphers," 2020 IEEE International Symposium on Circuits and Systems (ISCAS), Seville, Spain, 2020, pp. 1-5, doi: 10.1109/ISCAS45731.2020.9180451.
5. E. Tena, I. M. Delgado, J. Núñez, and A.J. Acosta, "Benchmarking of nanometer technologies for DPA-resilient DPL-based cryptocircuits," 2018 Conference on Design of Circuits and Integrated Systems (DCIS), Lyon, France, 2018, pp. 1-6, doi: 10.1109/DCIS.2018.8681472.
6. E. Tena, and A. J. Acosta, "Effect of Temperature Variation in Experimental DPA and DEMA Attacks," 2018 28th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), Platja d'Aro, Spain, 2018, pp. 163-168, doi: 10.1109/PATMOS.2018.8463993.
7. A.J. Acosta, "Ciberseguridad: los desafíos de los ciberataques en los dispositivos y tecnología médica, Seguridad Hardware", XI Congreso Nacional de la Sociedad Española de Electromedicina e Ingeniería Clínica, Junio 2019. Conferencia invitada.
8. A.J. Acosta, "Emerging Design Challenges for Complex SoCs", Panelista invitado en el congreso 2nd Federative Event on Design for Robustness, Julio 2017, Thessaloniki (Grecia). Conferencia invitada.
9. A.J. Acosta, "Low Power and Security Trade-off in Hardware: From True Random Number Generators to DPA Resilience", Energy Secure Systems Architecture Workshop (ESSA'14), June 2014, Minneapolis (USA). Congreso International Symposium on Circuit Architecture (ISCA). Conferencia invitada.

C.3. Proyectos (últimos 6 años)

1. USECHIP: Cátedra en Microelectrónica de la Universidad de Sevilla, Ministerio de Asuntos Económicos y Transformación Digital, TSI-069100-2023-001, IP: Acosta Jiménez, Antonio José. 4.200.000€
2. Exploración de ordenadores dedicados para escenarios científicos abiertos, Red de Investigación, Ministerio de Ciencia e Innovación RED2022-134244-T, 2023-25, IP: Iñiguez, David. 20.300€
3. Secure platform for ICT systems rooted at the silicon manufacturing process, Comisión Europea 952622-H2020-SU-ICT-2019, 2021-23, IP: Brox Jiménez, Piedad. 930.690€
4. Side-Channel Attacks on Root of Trusts, Junta de Andalucía-FEDER, US-1380823, 2022-23, IP: Acosta Jiménez, Antonio José. 90.000€
5. Diseño, implementación y validación en hardware de una raíz de confianza resistente a ataques, para sistemas empotrados seguros, Ministerio de Ciencia e Innovación, PID2020-116664RB-100, 2021-2024, IP: Jiménez Fernández, Carlos Jesús. 146.410€
6. Integración y Validación en Laboratorio de Contramedidas frente a Ataques Laterales en Circuitos Microelectrónicos. TEC2016-80549-R, 2017-2020, IP: Acosta Jiménez, Antonio José. 86.400€
7. Circuitos Microelectrónicos Seguros Frente a Ataques Laterales TEC2013-45523-R, 01/2014-09/2017, IP: Acosta Jiménez, Antonio José. 144.474€.

C.4. Actividades de Transferencia

1. RISCCOM-DEKRA-USE: Prestación de servicios de I+D en el campo de la Ciberseguridad. IP: Tena Sánchez, Erica. Contrato industrial con DEKRA Testing and Certification, S.A.U., 2024-25. 145.200€
2. CbDOC: Gestión documental con autenticación segura mediante técnicas Cripto-Biométricas vía hardware, INNPACTO IPT-2012-0695-390000. IP: Baturone Castillo, Iluminada. Ministerio de Ciencia e Innovación, 2012-14. 542.811,50€
3. FRAMING: Diseño VLSI de módulo digital serializador (framing) de altas prestaciones para un sensor quad-linear de alta velocidad de 16k píxeles. Contrato industrial con Innovaciones Microelectrónicas SL, 2014. IP: Piedad Brox. 9.000€
4. Acosta-Jimenez, Antonio Jose; Baturone-Castillo, Iluminada; Castro-Ramirez, Javier; Jimenez-Fernandez, Carlos Jesus; Brox-Jimenez, Piedad; Martínez-Rodríguez, Macarena Cristina. Método para generar funciones multivariadas afines a tramos con computación on-line del árbol de búsqueda y dispositivo para implementación del método. 2012. P201200608. Explotada por Canaan Research&Investment. Extensión PCT/ES2013/000134-WO2013/182717A1. US Patent 20,150,301,555, 2015.
5. Autor libro de divulgación "La Nanotecnología", de la serie "Un Paseo por el Cosmos" (RBA Editores, 2016). ISBN: 978-84-473-8382-5
6. Asesor científico de la serie "Fronteras de la Ciencia", RBA Editores, 2017.
7. Responsable de 3 proyectos de divulgación científica financiados por el Plan Propio de Investigación de la Universidad de Sevilla (con apariciones en la prensa local y regional):
 - Proyecto expositivo-educativo. Un microuniverso electrónico en la palma de tu mano (la evolución de la microelectrónica a través del mundo del teléfono móvil), 2013. 3000€
 - ¿Te atreves a ser científico? Acercando la microelectrónica a jóvenes estudiantes de centros educativos de la provincia de Sevilla, 2014. 2500€
 - El mundo de los chips: ciencia e ingenio en nanoescala, 2015. 2000€